

⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑪ DE 3742487 A1

⑳ Aktenzeichen: P 37 42 487 A  
㉔ Anmeldetag: 15. 12. 87  
㉕ Offenlegungstag: 7. 7. 88

⑬ Int. Cl. 4:  
G 11 C 19/00  
G 06 F 9/26  
G 11 C 7/00  
H 03 K 5/13  
H 04 N 5/04

DE 3742487 A1

㉒ Unionspriorität: ㉒ ㉓ ㉔  
18.12.86 JP P 300382/86

㉒ Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP

㉒ Vertreter:  
Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

㉒ Erfinder:  
Kawai, Hiroyuki; Yoshimoto, Masahiko, Itami,  
Hyogo, JP

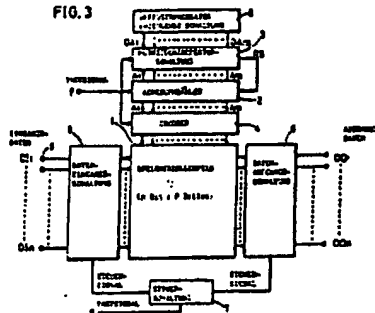
Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten

Herkömmliche Schaltungen haben die Nachteile, daß die Anzahl der Verzögerungsstufen durch die Anzahl der vorgesehenen Register begrenzt, die Speicherkapazität gering, der Leistungsverbrauch hoch ist, durch die benötigten Register viel Platz verbraucht und mit zunehmender Anzahl der Verzögerungsstufen die Schaltungsstruktur zum Setzen eines Verzögerungswertes kompliziert wird. Erfindungsgemäß vergleicht eine Koinzidenzdetektoranschaltung (3) die von einer Verzögerungsdaten erzeugenden Schaltung (8) angelegten Verzögerungsdaten mit dem durch Zählen von Taktpulsen von einem Adressenzähler (2) zur Verfügung gestellten Adressensignal und legt ein Reset-Signal (RS) an den Adressenzähler (2) an, wenn diese Werte übereinstimmen. Der Adressenzähler (2) wird auf eine zuvor bestimmte Adresse zurückgesetzt und beginnt mit dem Zählen von vorn. Ein Decoder (4) bestimmt eine Speicherzelle in einem Speicherzellenfeld in Antwort auf das Adressensignal. Dateneingabe- und -ausgabeschaltungen (5, 6) führen Lese- und Schreiboperationen sequentiell in Antwort auf ein von einer Steuerschaltung (7) ausgegebenes Steuersignal aus. Die Ausgangsinformation wird als verzögerte Eingangsinformation erhalten.

Verwendung zur Erkennung einer Bildsynchronisierung in einem Kommunikationssystem.

FIG. 3



DE 3742487 A1

BUNDESDRUCKEREI 05. 88 806 827/453

11/80

BEST AVAILABLE COPY

SS0022002069

## Patentsprüche

1. Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten mit einer Einrichtung (9) zum Empfangen der Eingangsdaten von außen, gekennzeichnet durch

eine Speichereinrichtung (1) mit einem Speicherzellenfeld zum Speichern der Eingangsdaten, einer Einrichtung (7) zum Erzeugen eines Steuersignales in Antwort auf ein Taktsignal, einer an die Einrichtung (9) zum Empfangen der Eingangsdaten angeschlossene Dateneingangseinrichtung (5), die auf das von der Speichereinrichtung (7) erzeugte Steuersignal reagiert zum Schreiben der Eingangsdaten in die durch ein Signal zum Bestimmen einer Speicherzelle in der Speicherzeleleinrichtung (1) bestimmte Speicherzelle, eine Datenausgabereinrichtung (6), die auf das in der Speichereinrichtung (7) erzeugte Steuersignal zum Lesen der an die durch das Signal zum Bestimmen einer Speicherzelle in der Speicherzeleleinrichtung (1) bestimmte Speicherzelle geschriebenen Eingangsdaten und zum Ausgeben derselben reagiert, wobei die Speichereinrichtung (7) so zum Steuern des zeitlichen Ablaufes ausgebildet ist, daß die Schreiboperation der Eingangsdaten durch die Dateneingangseinrichtung (5) durchgeführt werden kann, nachdem die Leseoperation in die Datenausgabereinrichtung (6) von der bestimmten Speicherzelle ausgeführt ist,

eine Einrichtung (8) zum Erzeugen von Verzögerungsdaten und eine Speicherzellenbestimmungseinrichtung (2, 3, 4), die an die Speichereinrichtung (1) und die Einrichtung (8) zum Erzeugen der Verzögerungsdaten angeschlossen ist und auf ein Taktsignal reagiert zum Anlegen des Signales, das eine Speicherzelle als Funktion der Verzögerungsdaten bestimmt, an die Speichereinrichtung (1).

2. Schaltung mit variabler Verzögerung nach Anspruch 1, dadurch gekennzeichnet, daß die Speicherzellenbestimmungseinrichtung (2, 3, 4) zum Zählen der Adressen und zum Ausgeben eines Adressensignales eine auf das Taktsignal reagierende Adressenzählereinrichtung (2), eine Koinzidenzdetektoreinrichtung (3), die an die Einrichtung (8) zum Erzeugen von Verzögerungsdaten und an die Adressenzählereinrichtung (2) angeschlossen ist, und die auf das Taktsignal zum Vergleichen der Verzögerungsdaten mit dem Adressensignal reagiert und, wenn die Koinzidenz erkannt ist, ein Reset-Signal zum Zurücksetzen der Adressenzählereinrichtung (2) auf den vorbestimmten Wert an die Adressenzählereinrichtung (2) anlegt, und eine Decodereinrichtung (4), die an die Adressenzählereinrichtung (2) angeschlossen ist und die auf das Taktsignal zum Decodieren des Adressensignales reagiert und an die Speichereinrichtung (1) das eine Speicherzelle bestimmende Signal anlegt, aufweist.

3. Schaltung mit variabler Verzögerung nach Anspruch 2, dadurch gekennzeichnet, daß die Koinzidenzdetektoreinrichtung (3) eine Verriegelungsschaltungseinrichtung (21) zum Empfangen der Verzögerungsdaten und des Adressensignales und zum Ausgeben verriegelter Verzögerungsdaten und verriegelter Adressensignale in Reaktion auf das Taktsignal

2

eine Vergleichseinrichtung ( $XOR1-XORn$ ,  $NOR$ ), die an die Ausgänge der Verriegelungsschaltung (21) zum Vergleichen der verriegelten Verzögerungsdaten mit dem verriegelten Adressensignal und zum Ausgeben des Reset-Signales, wenn sie miteinander koinzident sind, aufweist.

4. Schaltung mit variabler Verzögerung nach Anspruch 3, dadurch gekennzeichnet, daß die Vergleichseinrichtung ( $XOR1-XORn$ ,  $NOR$ ) eine Mehrzahl von Logikelementen ( $XOR1-XORn$ ) einer ersten Sorte zum Vergleichen der verriegelten Verzögerungsdaten mit einer Mehrzahl Bits mit dem verriegelten Adressensignal mit einer Mehrzahl Bits an jedem entsprechenden Bit und zum Ausgeben von Koinzidenzsignalen, wenn sie miteinander koinzident sind, ein Logikelement ( $NOR$ ) einer zweiten Sorte, das an den Ausgang der Mehrzahl von Logikelementen ( $XOR1-XORn$ ) der ersten Sorte angeschlossen ist und das Reset-Signal ausgibt, wenn die Koinzidenzsignale von allen Logikelementen ( $XOR1-XORn$ ) der ersten Sorte ausgegeben sind, aufweist.

5. Schaltung mit variabler Verzögerung nach Anspruch 2, dadurch gekennzeichnet, daß die Koinzidenzdetektoreinrichtung (3) eine Einrichtung (41) aufweist, die an die Einrichtung (8) zum Erzeugen der Verzögerungsdaten angeschlossen ist zum Addieren einer vorbestimmten Zahl zu den Verzögerungsdaten und zum Anlegen der reduzierten Verzögerungsdaten an die Koinzidenzdetektoreinrichtung (3) als die Verzögerungsdaten, und eine Verzögerungsschaltungseinrichtung (42), die an die Koinzidenzdetektoreinrichtung (3) angeschlossen ist zum Erhalten eines beschleunigten Reset-Signales in Reaktion auf die reduzierten Verzögerungsdaten, die von der Koinzidenzdetektoreinrichtung (3) ausgegeben sind und die das Reset-Signal in Reaktion auf das Taktsignal ausgibt, nachdem es durch die Taktsignale entsprechend der gleichen vorbestimmten Zahl verzögert wurde, aufweist.

6. Schaltung mit variabler Verzögerung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Sorte eine exklusiv ODER-Schaltung aufweist, und die zweite Sorte eine ODER-NICHT-Schaltung aufweist.

7. Schaltung mit variabler Verzögerung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Sorte eine exklusiv ODER-NICHT-Schaltung aufweist, und die zweite Sorte eine UND-Schaltung aufweist.

8. Schaltung mit variabler Verzögerung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Schaltung mit variabler Verzögerung als Verzögerungsschaltung zum Erkennen einer Bildsynchronisierung in einem Kommunikationssystem einsetzbar ist.

## Beschreibung

Die Erfindung betrifft eine Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten.

Fig. 1 zeigt ein Blockschaltbild einer in einem Kommunikationssystem eingesetzten Schaltung zum Erkennen einer Bildsynchronisierung mit einem einstellbaren Schieberegister. Im folgenden wird auf Fig. 1A Bezug genommen. Die Bezugszeichen 11-13 bezeichnen jeweils ein einstellbares Schieberegister, das Bezugszeichen 14 bezeichnet eine Bildsynchronisierungserken-

nungsschaltung zum Empfangen der Eingangs- oder Ausgangssignale der einstellbaren Schieberegister 11-13 und zum Erkennen einer Bildsynchronisierung der Signale, die Bezugszeichen  $S1-S4$  bezeichnen Knoten, die die Eingabe und Ausgabe des jeweiligen einstellbaren Schieberegisters 11-13 und der Bildsynchronisierungserkennungsschaltung zeigen, und das Bezugszeichen 15 bezeichnet eine Bildauereinstellschaltung zum Vorziehen einer Verzögerungszeit für jedes der einstellbaren Schieberegister 11-13 und zum Vorziehen eines Bildauersignales für jedes der einstellbaren Schieberegister 11-13. Ferner bezeichnet der Ausdruck "Bildauer" die "Dauer der Verzögerungszeit" in dieser Beschreibung.

Fig. 1B zeigt die von der Schaltung in Fig. 1A empfangenen Daten. Die Bezugszeichen DATA 0-DATA 4 bezeichnen Daten mit den notwendigen Informationen in diesen empfangenen Daten und die Bezugszeichen F1-F4 bezeichnen die zum Erkennen einer Bildsynchronisierung erforderlichen Bildsynchronisierungsmuster.

Es folgt die Beschreibung der Arbeitsweise. Die in Fig. 1B gezeigten, von der in Fig. 1A gezeigten Schaltung empfangenen Daten werden über den Knoten S4 in das einstellbare Schieberegister 13 eingegeben und dann von dieser Schaltung durch das einstellbare Schieberegister 12 und das einstellbare Schieberegister 11 ausgegeben. Durch geeignetes Einstellen des an die einstellbaren Schieberegister 11-13 angelegten Bildauersignales in Antwort auf ein zwischen den Bildsynchronisierungsmustern F1-F4 der empfangenen Daten enthaltenes Zeitintervall können die empfangenen Daten durch das Zeitintervall zwischen den Bildsynchronisierungsmustern F1-F4 an jedem der einstellbaren Schieberegister 11-13 verzögert werden. Die Bildsynchronisierungsmuster F1, F2, F3 bzw. F4 können deshalb zu einem bestimmten Zeitpunkt gleichzeitig an den Knoten S1, S2, S3 bzw. S4 durch die Bildsynchronisierungserkennungsschaltung 14 erkannt werden und folglich anzeigen, daß die empfangenen Daten in genauer Synchronisation empfangen wurden.

Fig. 2 zeigt im Blockschaltbild den Aufbau eines einstellbaren Schieberegisters. Es wird auf Fig. 2 Bezug genommen. Das Bezugszeichen 101 bezeichnet einen Decoder zum Bestimmen eines dem Wert der Verzögerung entsprechenden Registers durch Eingeben eines Auswahlssignales mit  $k$  Bits, was der Bildauereinstellschaltung 15 in Fig. 1A entspricht. Die Bezugszeichen MUX2-MUX1 ( $1 \leq 2^k + 1$ ) bezeichnen Multiplexer, die eine Ausgabe eines Registers R1 durchgeben, wenn sie durch den Decoder 101 angesteuert werden, und die eine Ausgabe eines linksseitigen Registers durchgeben, wenn sie nicht angesteuert werden. Die Bezugszeichen R2...R1 bezeichnen Register, die die Ausgabe der oben beschriebenen Multiplexer MUX2...MUX1 verriegeln und diese an den rechtsseitigen Multiplexer ausgeben. Das Bezugszeichen  $\Phi$  bezeichnet ein Taktsignal. Das Bezugszeichen DI bezeichnet Eingangsdaten und das Bezugszeichen DO bezeichnet Ausgangsdaten.

Das einstellbare Schieberegister ist wie oben beschrieben aufgebaut. Der Decoder 101 erhält ein Auswahlssignal und bestimmt einen Multiplexer von  $2^k$  Multiplexern. Wenn der  $i$ -te Multiplexer MUX $i$  bestimmt wird, gibt nur der Multiplexer MUX $i$  die Ausgabe des Registers R1 durch, wogegen die anderen Multiplexer die Ausgabe des entsprechend linksseitigen Registers durchgeben. Folglich verriegelt das Register R $i$  die Ausgabe des Registers R1 in Synchronisation mit dem

Taktsignal  $\Phi$  und die anderen Register verriegeln die Ausgaben der linksseitigen Register. Wenn das nächste Taktsignal  $\Phi$  eintritt, verriegelt das Register R $i-1$  die Daten des Registers R $i$ , und das Register R $i$  verriegelt die nächsten von dem Register R1 ausgehenden Daten. Durch Wiederholen der oben beschriebenen Arbeitsweise werden die Daten DI durch das Register R1 und das Register R $i$  bis zum Register R2 so durchgegeben, daß eine Verzögerung um beispielsweise  $(i+1)$  Takte festgesetzt wird und daher als dementsprechende Ausgangsdaten DO ausgegeben werden.

Da das Schieberegister in der oben beschriebenen Weise aufgebaut ist, ergaben sich Probleme daraus, daß die Anzahl der Verzögerungsstufen in dem durch die Anzahl der vorgesehenen Register bestimmten Bereich begrenzt ist. Da ferner das Register als ein Speicherelement benutzt wird, ergaben sich weitere Probleme, daraus, daß viel Platz belegt werden muß, die Speicherkapazität klein ist und der Leistungsverbrauch unwirtschaftlich ist. Weiterhin ergaben sich Probleme daraus, daß der Schaltungsaufbau für das Einstellen eines Wertes der Verzögerung kompliziert wurde, wenn eine große Anzahl von Verzögerungsstufen benötigt wird.

Aufgabe der Erfindung ist es daher, eine Schaltung zur Verfügung zu stellen, in der die Einschränkung für die erforderliche Verzögerungszeit gemildert wird, eine größere Speicherkapazität erlangt wird und der Leistungsverbrauch herabgesetzt wird.

Diese Aufgabe wird durch eine erfindungsgemäße Schaltung mit variabler Verzögerung zum Verzögern von Eingangsdaten gelöst, die die folgenden Merkmale aufweist: Eine Speicherzellenbestimmungseinrichtung, die an eine Speichereinrichtung mit einem Speicherzellenfeld zum Speichern von Eingangsdaten angeschlossen ist und an eine Einrichtung zum Erzeugen verzögerter Daten entsprechend einem Taktsignal zum Anlegen eines Signales, das eine Speicherzelle in Abhängigkeit von den Verzögerungsdaten zu der Speichereinrichtung bestimmt, angeschlossen ist; eine an eine Einrichtung zum Empfangen der Eingangsdaten von außen angeschlossene Dateneingangseinrichtung, die an die Speichereinrichtung angeschlossen ist und auf ein von einer Steuereinrichtung erzeugtes Steuersignal in Antwort auf ein Taktsignal zum Schreiben der Eingangsdaten in eine in der Speichereinrichtung enthaltene und durch die Speicherzellenbestimmungseinrichtung bestimmte Speicherzelle anspricht; und eine an die Speichereinrichtung angeschlossene Datenausgabeeinrichtung, die auf das Steuersignal zum Lesen der in eine durch die Speicherzellenbestimmungseinrichtung bestimmte Speicherzelle geschriebenen Eingangsdaten und zum Ausgeben derselben anspricht, wobei die Steuereinrichtung zum Steuern eines zeitlichen Ablaufes so geeignet ist, daß die Schreiboperation durch die Dateneingangseinrichtung nach der Leseoperation durch die Datenausgabeeinrichtung mit der bestimmten Speicherzelle durchgeführt wird.

Erfindungsgemäß legt die Speicherzellenbestimmungseinrichtung ein Signal zum Bestimmen einer Speicherzelle, mit der die Datenausgabeeinrichtung und die Dateneingabeeinrichtung eine Leseoperation und eine Schreiboperation als eine Funktion von von einer Verzögerungsdatenerzeugungseinrichtung erzeugten Verzögerungsdaten durchführen, an die Speichereinrichtung an. Die Speichereinrichtung spricht auf das Signal zum Bestimmen einer Speicherzelle zum Durchführen einer Lese- und Ausgabeoperation mit alten, bereits geschriebenen Daten und zum Durchführen einer

Schreiboperation mit neuen Eingangsdaten von der Eingangsdatenempfangseinrichtung durch eine Einrichtung der Datenausgangseinrichtung und der Dateneingangseinrichtung an. Durch Wiederholen der oben beschriebenen Operation werden verzögerte Eingangsdaten ausgegeben.

Da erfindungsgemäß die Speichereinrichtung das Speicherzellenfeld aufweist, wird der Vorteil herbeigeführt, daß eine höhere Speicherkapazität in einem kleineren belegten Bereich erhalten werden kann. Als weitere Vorteile sind zu erkennen, daß die Begrenzungen der Dauer der Verzögerungszeit erweitert sind und der Leistungsverbrauch verringert ist.

In einem bevorzugten erfindungsgemäßen Ausführungsbeispiel weist die Speicherzellenbestimmungseinrichtung folgende Merkmale auf: Eine an die Einrichtung zum Erzeugen der Verzögerungsdaten und an eine auf das Taktsignal zum Zählen der Adressen und zum Ausgeben eines Adresssignals ansprechende Adressenzählereinrichtung und auf das Taktsignal ansprechende Koinzidenzdetektorschaltung zum Vergleichen der verzögerten Daten mit dem Adresssignal und zum Anlegen eines Reset-Signales zum Rücksetzen der Adressenzählereinrichtung auf einen vorbestimmten Wert an die Adressenzählereinrichtung; und eine an die Adressenzählereinrichtung angeschlossene und auf das Taktsignal zum Decodieren des Adresssignals und zum Anlegen des einer Speicherzelle bestimmenden Signals an die Speichereinrichtung ansprechende Decoderereinrichtung.

In dem bevorzugten erfindungsgemäßen Ausführungsbeispiel spricht die Adressenzählereinrichtung auf das Taktsignal zum sequentiellen Zählen der Adressen und zum Anlegen des Adresssignals an die Koinzidenzdetektoreinrichtung und die Decoderereinrichtung an. Die Koinzidenzdetektoreinrichtung spricht auf das Taktsignal zum Vergleichen der von der Einrichtung zum Erzeugen der Verzögerungsdaten angelegten Verzögerungsdaten mit dem Adresssignal an und legt das Reset-Signal an die Adressenzählereinrichtungen, wenn sie miteinander koinzidieren. Die Adressenzählereinrichtung spricht auf das Reset-Signal zum Wiederholen der oben beschriebenen Operation an, nachdem der Adressenzähler auf den zuvor bestimmten Wert zurückgesetzt ist. Das an die Decoderereinrichtung angelegte Adresssignal wird durch die Decoderereinrichtung decodiert und an die Speichereinrichtung als ein Signal für das decodierte Adresssignal zum Bestimmen einer Speicherzelle angelegt.

In dem bevorzugten erfindungsgemäßen Ausführungsbeispiel ist der Vorteil zu erkennen, daß die Speicherzellenbestimmungseinrichtung ohne die besondere Notwendigkeit einer externen Steuerung leicht durch die Adressenzählereinrichtung, die Decoderereinrichtung und die Koinzidenzdetektorschaltung mit einem einfachen Aufbau erhalten wird.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung eines Ausführungsbeispiels anhand der Figuren. Von den Figuren zeigt

Fig. 1A ein Blockschaltbild einer in einem Kommunikationssystem verwendeten Schaltung zum Erkennen einer Bildsynchronisierung mit einem einstellbaren Schieberegister.

Fig. 1B ein Diagramm eines schematischen Aufbaus der empfangenen Daten zum Beschreiben der Arbeitsweise der in Fig. 1A gezeigten Schaltung.

Fig. 2 ein Blockschaltbild eines Schaltungsaufbaus ei-

nes einstellbaren Schieberegisters;

Fig. 3 ein Blockschaltbild eines erfindungsgemäßen Schaltungsaufbaus der Schaltung mit variabler Verzögerung.

Fig. 4 ein Blockschaltbild eines erfindungsgemäßen Ausführungsbeispiels der Koinzidenzdetektorschaltung.

Fig. 5 ein Blockschaltbild eines weiteren erfindungsgemäßen Ausführungsbeispiels der Koinzidenzdetektorschaltung.

Unter Bezugnahme auf die Figuren wird im folgenden ein erfindungsgemäßes Ausführungsbeispiel beschrieben. Es wird auf Fig. 3 Bezug genommen. Das Bezugszeichen 1 bezeichnet ein Speicherzellenfeld mit  $n$  Bit  $\times R$  Zellen. Das Bezugszeichen 2 bezeichnet einen durch ein externes Taktsignal  $\Phi$  betriebenen Zellen-adressenzähler, der zurückgesetzt (reset) werden kann. Das Bezugszeichen 3 bezeichnet eine Verzögerungsdaten erzeugende Schaltung zum Erzeugen von verzögerten binären Daten  $DA_1 - DA_m$  mit  $m$  Bits zum Bestimmen einer Verzögerungszeit. Das Bezugszeichen 4 bezeichnet eine Koinzidenzdetektorschaltung zum Erkennen der Koinzidenz der von der Verzögerungsdaten erzeugenden Schaltung 3 eingegebenen, verzögerten binären Daten  $DA_1 - DA_m$  und zum Ausgeben der Signale  $A_1 - A_m$  von dem Adressenzähler 2. Das Bezugszeichen 5 bezeichnet einen Decoder zum Ansteuern einer Zeile des Speicherzellenfeldes 1. Das Bezugszeichen 6 bezeichnet eine Dateneingangsschaltung zum Empfangen der Daten  $DI_1 - DI_n$  und zum Anlegen derselben an das Speicherzellenfeld 1 in Antwort auf das Steuersignal. Das Bezugszeichen 7 bezeichnet eine Datenausgangsschaltung zum Empfangen der Daten von dem Speicherzellenfeld 1 und zum Ausgeben derselben in Antwort auf das Steuersignal. Das Bezugszeichen 8 bezeichnet eine Steuerschaltung zum Erzeugen eines Steuersignales zum Steuern einer Lese- oder Schreiboperation des Speicherzellenfeldes 1 durch die Dateneingangsschaltung 5 und die Datenausgangsschaltung 6 in Antwort auf das Taktsignal  $\Phi$ .

Fig. 4 zeigt eine erfindungsgemäße Koinzidenzdetektorschaltung. Im folgenden wird auf Fig. 4 Bezug genommen. Das Bezugszeichen 21 bezeichnet einen Verriegelungsschaltkreis zum Verriegeln einer verzögerten binären Information  $DA_i$  ( $1 \leq i \leq m$ ) und der Ausgabe  $A_i$  des Adressenzählers 2 durch das Taktsignal  $\Phi$ . Die Bezugszeichen  $XOR_1 - XOR_m$  bezeichnen exklusiv ODER-Schaltungen, in die die in der Verriegelungsschaltung 21 gehaltenen verzögerten Daten  $DA_i$  und die Ausgabe  $A_i$  des Adressenzählers 2 eingegeben werden. Das Bezugszeichen  $NOR$  bezeichnet eine ODER-NICHT-Schaltung zum Empfangen der Ausgabe von den  $XOR_1 - XOR_m$ -Schaltungen als Eingabe und weist  $m$  Eingänge auf. Das Bezugszeichen  $RS$  bezeichnet einen Ausgang der ODER-NICHT-Schaltung und ein Reset-Signal zum Rücksetzen des Adressenzählers 2.

Es folgt die Beschreibung der Operation, die in einem einstellbaren Schieberegister wie oben beschrieben abläuft, wenn der Wert des Adressenzählers 2 auf "0" zurückgesetzt ist und eine Verzögerung von  $l$  Stufen von der Verzögerungsdaten erzeugenden Schaltung 3 durch die verzögerten Binärdaten  $DA_i$  festgesetzt ist. Im folgenden wird auf Fig. 3 Bezug genommen. Die Datenausgangsschaltung 6 liest den Inhalt einer Zeile des Speicherzellenfeldes 1 entsprechend der Adresse "0" in Übereinstimmung mit einem Kommando der Steuerschaltung 7 und gibt selbigen an den Ausgang  $DO_1 - DO_n$ . Dann überschreitet die Dateneingangs-

schaltung 5 die Daten  $DI(1-DI_n)$  auf derselben Zeile auf bit-parallele Weise. Der Adressenzähler 2 zählt aufwärts mit der fallenden Flanke des Taktsignales  $\Phi$ , und der Decoder 4 erhält die Ausgangssignale  $A(1-A_m)$  des Adressenzählers 2 mit der ansteigenden Flanke des Taktsignales  $\Phi$ , führt die Decodierung aus und bestimmt eine bestimmte ausgeählte Zeile. In Übereinstimmung mit der Steuerschaltung 7 führen die Datenausgabeschaltung 6 und die Dateneingangsschaltung 5 eine Leseoperation und eine Schreiboperation sequentiell von und zu der Zeile des durch den Decoder 4 von dem Wert des Adressenzählers 2 bestimmten Speicherfeldes 1 durch. Mit der Ansteigflanke des  $(i-1)$ -ten Taktes verriegelt der Decoder 4 den Wert des Adressenzählers 2 entsprechend der  $(i-1)$  und die Datenausgangsschaltung 6 und die Dateneingangsschaltung 5 führen eine Datenlese- und -schreiboperation von und zu der  $(i-1)$ -ten Zeile durch. Mit der abfallenden Flanke des  $(i-1)$ -ten Taktes  $\Phi$  zählt der Adressenzähler 2 aufwärts. Wenn ein Ausgangswert des Adressenzählers 2 ein  $n$  / 20  
entsprechender Wert wird, koinzidiert die verzögerten binären Daten  $DA(1-DA_m)$  mit den Ausgangssignalen  $A(1-A_m)$  des Adressenzählers 2 in der Koinzidenzdetektorschaltung 3. Deshalb wird das Reset-Signal  $RS$  von der Koinzidenzdetektorschaltung 3 erzeugt und an den Adressenzähler 2 angelegt und der Adressenzähler 2 dann zurückgesetzt. Wenn die Koinzidenzdetektorschaltung in Fig. 4 beispielsweise benutzt wird, werden alle  $m$ -Ausgangssignale der  $XOR(1-XOR_n)$ -Schaltungen auf "low" gesetzt, woraus folgt, daß mit dem Empfangen dieser Signale die ODER-NICHT-Schaltung das Reset-Signal  $RS$  mit hohem Pegel ausgibt und der Adressenzähler 2 auf die Adresse  $V$  zurückgesetzt wird.

Mit der Ansteigflanke des  $i$ -ten Taktes  $\Phi$  wird die Adresse  $V$  in dem Decoder 4 verriegelt, und die Datenausgangsschaltung 6 und die Dateneingangsschaltung 5 lesen die anfänglich in die Adresse  $V$  geschriebenen Daten, geben dieselben an die  $DO(1-DO_m)$  aus und überschreiben dann die nächsten Eingangsdaten an der Adresse  $V$ .

Durch Wiederholen der oben beschriebenen Operation kann ein Verzögerungsschieberegister mit  $(i-2^m)$  Stufen aufgebaut werden. Ist dabei ein programmierbarer und von außen durch den Benutzer einstellbarer Wert. Durch Anlegen der verzögerten binären Daten  $DA(1-DA_m)$  an die Schaltung kann ein Schieberegister einer beliebigen, vom Benutzer gewünschten Länge  $(32^m)$  aufgebaut werden.

Das Speicherzellenfeld kann die Lese- und Schreiboperation asynchron in einer Speicherzelle vom FAST IN FAST OUT-Typ durchführen.

Die Operation kann ebenfalls in einer Speicherzelle mit einer gemeinsamen Lese- und Schreibe-Bitleitung durchgeführt werden (wie zum Beispiel einer statischen Speicherzelle, einer dynamischen Zelle mit einem Transistor und einer kapazitiven Zelle). In so einem Fall haben die Datenausgangsschaltung 6 und die Dateneingangsschaltung 5 Zugriff auf die gemeinsame Bitleitung.

Obwohl die Koinzidenzdetektorschaltung 3 so gezeigt ist, daß sie ein exklusiv ODER-Element und ein ODER-NICHT-Element aufweist, kann in dem Ausführungsbeispiel nach Fig. 4 dieselbe Operation ausgeführt werden, falls das exklusiv ODER-Element bzw. das ODER-NICHT-Element durch ein exklusiv ODER-NICHT-Element bzw. ein UND-Element ersetzt werden sollten.

Obwohl das Speicherzellenfeld in dem obigen Aus-

führungsbeispiel so gezeigt ist, daß es  $n$  Bit  $\times$   $R$  Zeilen aufweist, kann es auch so aufgebaut sein, daß es  $n$  Bit  $\times$   $R$  Zeilen  $\times$  / Spalten aufweist. In diesem Falle weist der Decoder 4 eine Mehrzahl ( $R$ ) Zeilendecodereinrichtungen und eine Mehrzahl ( $P$ ) Spaltendecodereinrichtungen auf, wodurch eine größer Menge von Dateneinheiten benutzt werden kann.

Das obige Ausführungsbeispiel ist so aufgebaut, daß der Adressenzähler zurückgesetzt werden kann, nachdem die Koinzidenz der durch den Benutzer eingestellten verzögerten binären Daten und der Ausgangswerte des Adressenzählers durch die Koinzidenzdetektorschaltung 3 erkannt worden ist. In diesem Aufbau wird der Ausgang des Adressenzählers manchmal spilt auf  $V$  zurückgesetzt, weil eine Verzögerung erzeugt wurde, bevor die Koinzidenz bestimmt ist und ein Reset-Signal ausgegeben wird. Damit das vermieden wird und eine hohe Geschwindigkeit erreicht wird, kann die Koinzidenzschaltung 3 plus einem Addierer und einer Verriegelungsschaltung eingesetzt werden.

In Fig. 5 ist ein Blockschaltbild einer Koinzidenzdetektorschaltung zum Verblenden einer verzögerten Erzeugung des Reset-Signales gezeigt. Im folgenden wird auf Fig. 3 Bezug genommen. Das Bezugszeichen 41 bezeichnet einen  $m$ -Bit-Addierer zum Subtrahieren einer 1 von den verzögerten Binärdaten  $DA(1-DA_m)$ . Das Bezugszeichen 3 bezeichnet dieselbe Koinzidenzdetektorschaltung wie in dem obigen Ausführungsbeispiel. Das Bezugszeichen 42 bezeichnet eine Verriegelungsschaltung zum Halten eines von der Koinzidenzdetektorschaltung 3 ausgegebenen Koinzidenzsignales  $ES$  für einen Takt, wenn die Koinzidenz erkannt wird, und das dann als ein Reset-Signal  $RS$  ausgegeben wird. Bezugszeichen 43 bezeichnet eine Koinzidenzdetektorschaltung zum Verhindern einer Verzögerung der Erzeugung des Reset-Signales. In der Koinzidenzdetektorschaltung zum Verhindern einer Verzögerung der Erzeugung des Ergebnissignales gibt die Koinzidenzdetektorschaltung das Koinzidenzsignal  $ES$  aus, wenn eine Verzögerung von  $i$  Stufen durch die binären Daten  $DA$  gesetzt ist und die Ausgabe  $A(1-A_m)$  des Adressenzählers die  $(i-1)$  entsprechende Adresse erreicht. Das Koinzidenzsignal  $ES$  wird in der Verriegelungsschaltung verriegelt, gibt das Reset-Signal  $RS$  unmittelbar nach Erhalten des Signales  $\Phi$  aus und setzt dann den Inhalt des Adressenzählers 2 auf  $V$  zurück. Durch die Verwendung dieser Schaltung wird das Reset-Signal  $RS$  zum Zurücksetzen des Adressenzählers 2 an den Adressenzähler 2 unmittelbar ausgegeben, und daraus ergibt sich, daß eine Reset-Operation des Adressenzählers 2 an der Verpflüchtung gehindert werden kann.

Wie oben beschrieben weist eine erfindungsgemäße Schaltung mit variabler Verzögerung eine Speichereinrichtungseinheit mit einem Speicherzellenfeld und einer Adressenzählereinrichtung, einer Decodereinrichtung und einer einfachen Koinzidenzdetektoreinrichtung auf. Die Schaltung hat deshalb vorteilhafte Merkmale, die da sind, daß eine größere Speicherkapazität in einem kleineren belegten Bereich erreicht wird, die Begrenzung der Dauer einer Verzögerungszeit durch die beschränkte Speicherkapazität gemildert und der Leistungsverbrauch verringert wird.

- Leersseite -

Fig. 1: 1.1  
 Nummer: 37 42 487  
 Int. Cl.: G 11 C 18/00  
 Anmeldetag: 15. Dezember 1987  
 Offenlegungstag: 7. Juli 1988

FIG. 1A

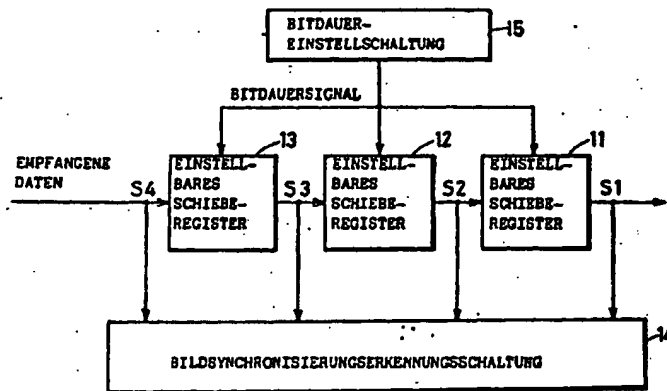
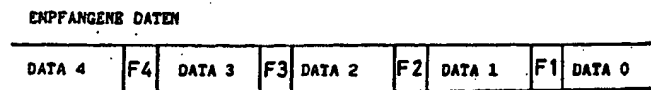


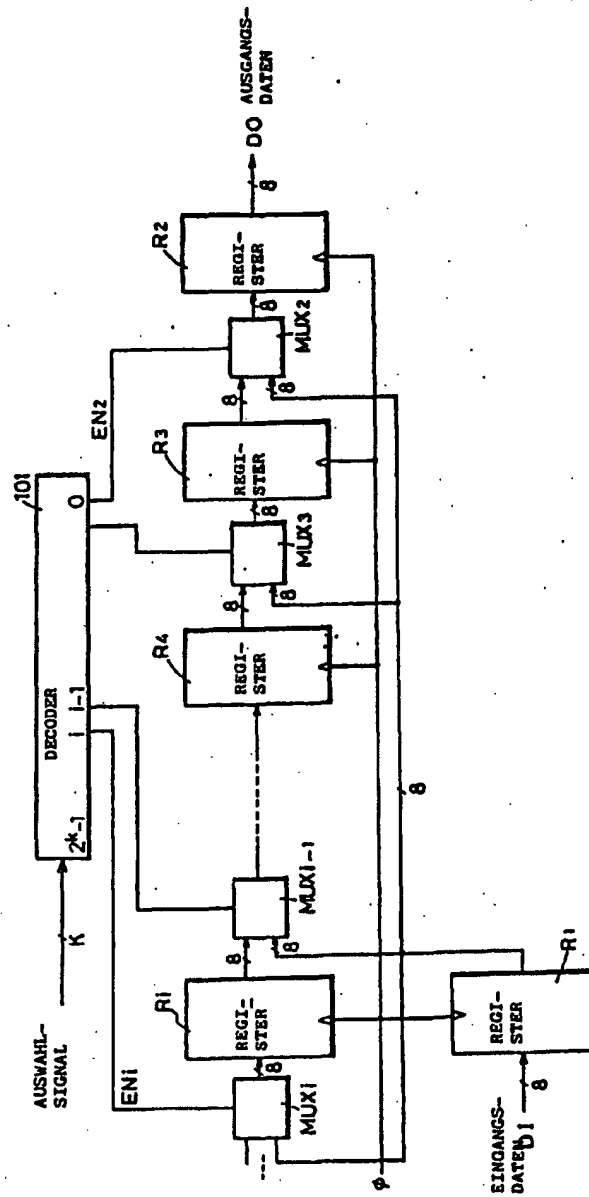
FIG. 1B



ORIGINAL INSPECTED

808 627/453

FIG. 2

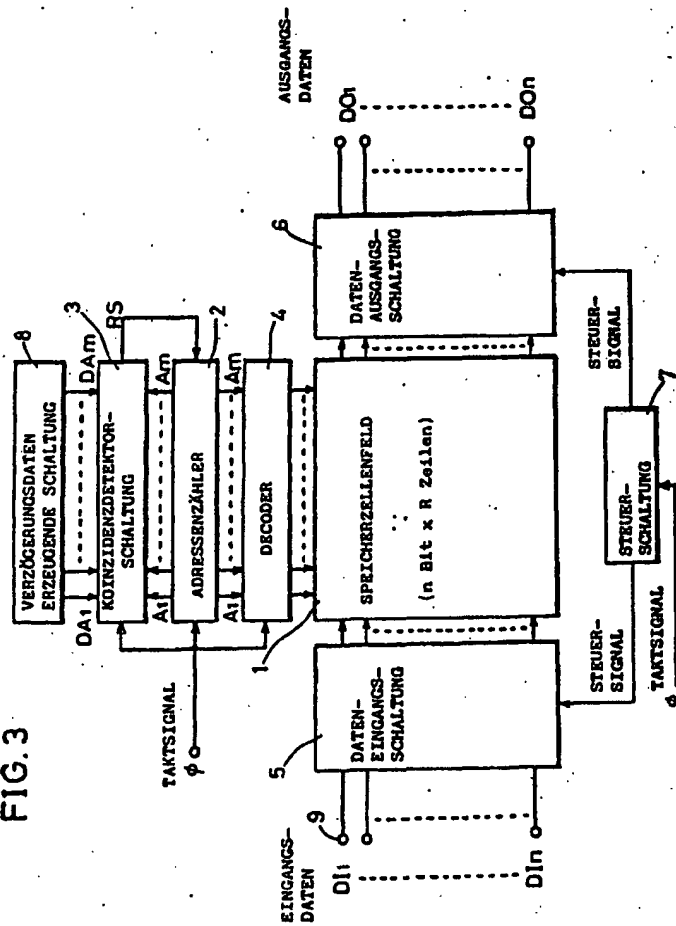


3742487

Fig. 2A



FIG. 3



3742487

Fig. 1-4: 20  
3742487

FIG. 4

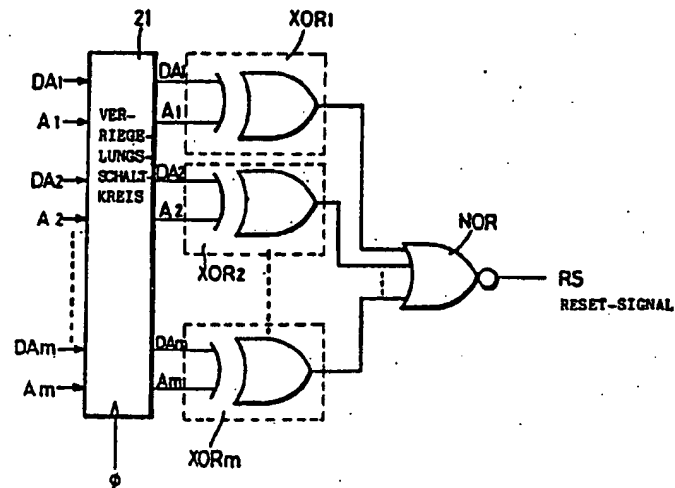
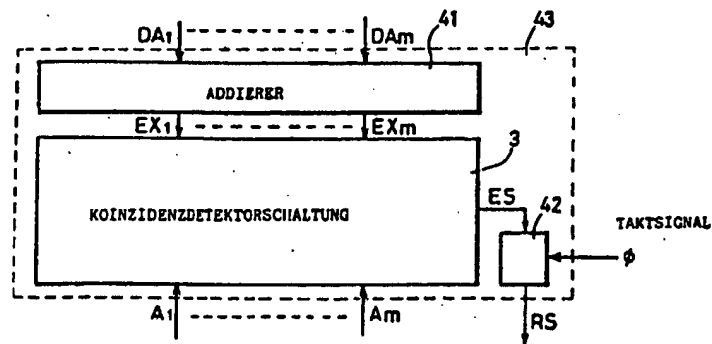


FIG. 5



Translator's notes re DE 3742487:

1. This document was originally written in Japanese and translated into German. There are some inconsistencies that cannot be resolved in the translation from German to English.

Example:

In claim 1, the second-last part of the body reads:

"... in such a way that the operation of writing of the input data by the data-input device (5) can be performed after the operation of reading into the data-output device (6) has been executed by the specified storage cell,"

The corresponding recitation in the specification is:

"...in such a way that the write operation by the data-input device is performed after the read operation by the data-output device with the specified storage cell."

2. Some obvious errors in the German have been corrected:

Examples:

OR NOT element to NOT OR element [Japanese word order inverted compared to German and English]

fast in fast out [the actual words in German] to first in first out [the Japanese "romanji" can be read either as "fast" or "first"]

3. Apparent missing words have been added in brackets.

Example:

... a comparing device which [is connected] to the outputs ...

**German Patent Office**

**German Patent Application (Laid open)**

**DE 3742487 A1**

Int. Cl. 4  
G 11 C 19/00  
G 06 F 9/26  
G 11 C 7/00  
H 03 K 5/13  
H 04 N 5/04

File No. P 37 42 487.4  
Application date December 15, 1987  
Date laid open July 7, 1988

SS0022002057

30	Union priority: 32 33 31 16 December 1986 JP P 300382/86	72	Inventors: Kawai, Hiroyuki; Yoshimoto, Masahiko, Itami, Hyogo, JP
71	Applicant: Mitsubishi Denki K.K., Tokyo, JP		
74	Agent: Prüfer, L., Dipl.-Phys., Patent Attorney, 8000 Munich		

Request for examination per § 44 Patent Act filed

#### 54 VARIABLE-DELAY CIRCUIT FOR DELAYING INPUT DATA

Conventional circuits have the disadvantage that the number of delay stages is limited by the number of available registers, the storage capacity is small, the power consumption is high, much space is consumed by the needed registers and the circuit structure for setting a delay value becomes progressively more complex with increasing number of delay stages.

According to the invention, a coincidence detector circuit (3) compares the delay data applied by a circuit (8) which generates delay data with the address signal provided by an address counter (2) via counting of clock pulses, and applies a reset signal (RS) to the address counter (2) when these values coincide. The address counter (2) is reset to a predetermined address and begins counting from the starting value. A decoder (4) specifies a storage cell in a storage-cell array in response to the address signal. Data input and output circuits (5, 6) execute read and write operations sequentially in response to a control signal output by a control circuit (7). The output information is obtained as delayed input information.

Use for recognition of image synchronization in a communication system

[see end of text for translation of Fig. 3]

## Claims

1. A variable-delay circuit for delaying input data, which circuit has a device (9) for receiving input data from external sources, characterized by  
a storage device (1) with a storage-cell array for storing input data,  
a device (7) for generating a control signal in response to a clock signal,  
a data-input device (5), which is connected to the device (9) for receiving the input data and which responds to the control signal generated by the control device (7) to write the input data into the storage cell specified by a signal for specifying a storage cell in the storage-cell device (1),  
a data-output device (6), which responds to the control signal generated in the control device (7) to read the input data written to the storage cell specified by the signal to specify a storage-cell in the storage-cell specifying device (1) and to output the same, the control device (7) being designed to control the time sequence in such a way that the operation of writing of the input data by the data-input device (5) can be performed after the operation of reading into the data-output device (6) has been executed by the specified storage cell,  
a device (8) for generating delay data and a storage-cell specifying device (2, 3, 4), which is connected to the storage device (1) and the device (8) for generating delay data, and which responds to a clock signal to apply to the storage device (1) the signal which specifies a storage cell as a function of the delay data.
2. A variable-delay circuit according to claim 1, characterized in that the storage-cell specifying device (2, 3, 4) for counting the addresses and for outputting an address signal is provided with an address-counting device (2) which responds to the clock signal,  
with a coincidence detector device (3), which is connected to the device (8) for generating delay data and to the address-counting device (2), responds to the clock signal to compare the delay data with the address signal and, when coincidence is recognized, applies a reset signal to reset the address-counting device (2) to the predetermined value in the address-counting device (2), and with a decoding device (4), which is connected to the address-counting device (2), responds to the clock signal to decode the address signal, and applies to the storage device (1) the signal which specifies a storage cell.
3. A variable-delay circuit according to claim 2, characterized in that the coincidence detector device (3) is provided with an interlocking-circuit device (21) for receiving the delay data and the address signal and for outputting interlocked delay data and interlocked address signals in response to the clock signal,  
and with a comparing device (*XOR1 to XORm, NOR*), which [is connected] to the outputs of the interlocking circuit (21) for comparing the interlocked delay data with the interlocked address signals and for outputting the reset signal when these are coincident with one another.

4. A variable-delay circuit according to claim 3, characterized in that the comparing device (*XOR1* to *XORm*, *NOR*) is provided with a plurality of logic elements (*XOR1* to *XORm*) of a first kind for comparing the interlocked delay data containing a large number of bits with the interlocked address signal containing a large number of bits at each corresponding bit and for outputting coincidence signals when these are coincident with one another, a logic element (*NOR*) of a second kind, which is connected to the output of the plurality of logic elements (*XOR1* to *XORm*) of the first kind and which outputs the reset signal when the coincidence signals of all logic elements (*XOR1* to *XORm*) of the first kind have been output.
5. A variable-delay circuit according to claim 2, characterized in that the coincidence detector device (3) is provided with a device (41) which, for the purpose of adding a predetermined number to the delay data and of applying to the coincidence detector device (3) the reduced delay data as the delay data, is connected to the device (8) for generating the delay data, and is provided with a delay-circuit device (42), which is connected to the coincidence detector device (3) to receive an accelerated reset signal in response to the reduced delay data output by the coincidence detector device (3) and which outputs the reset signal in response to the clock signal after it has been delayed by the clock signals for a time corresponding to the same predetermined number.
6. A variable-delay circuit according to claim 4, characterized in that the first kind is provided with an exclusive OR circuit and the second kind is provided with a NOT OR circuit.
7. A variable-delay circuit according to claim 4, characterized in that the first kind is provided with an exclusive NOT OR circuit and the second kind is provided with an AND circuit.
8. A variable-delay circuit according to one of claims 1 to 7, characterized in that the variable-delay circuit can be used as a delay circuit for recognition of image synchronization in a communication system.

#### Specification

The invention relates to a variable-delay circuit for delaying input data.

Fig. 1 shows a block diagram of a circuit used in a communications system for recognition of image synchronization with an adjustable shift register. Referring now to Fig. 1A, reference symbols 11 to 13 each denote an adjustable shift register, reference symbol 14 denotes an image synchronization recognition circuit for receiving the input or output signals of adjustable shift registers 11 to 13 and for recognizing image synchronization of the signals, reference symbols *S1* to *S4* denote nodes which show the input and output of the respective adjustable shift register 11 to 13 and of the image synchronization recognition circuit, and reference symbol 15 denotes a bit-duration adjustment circuit for providing a delay time for each of the adjustable shift registers 11 to 13 and for providing a bit-duration signal for each of the

adjustable shift registers 11 to 13. In this specification, the term "bit duration" is also to be understood as "duration of the delay time".

Fig. 1B shows the data received by the circuit in Fig. 1A. Reference symbols *DATA 0* to *DATA 4* denote data containing the necessary information in these received data, and reference symbols *F1* to *F4* denote the image synchronization patterns necessary for recognition of image synchronization.

The principle of operation will now be described. The data shown in Fig. 1B and received by the circuit shown in Fig. 1A are input via node *S4* into adjustable shift register 13 and then output by this circuit through adjustable shift register 12 and adjustable shift register 11. By suitable adjustment of the bit-duration signal applied to adjustable shift registers 11 to 13 in response to a time interval contained between image synchronization patterns *F1* to *F4* of the received data, the received data can be delayed at each of the adjustable shift registers 11 to 13 by the time interval between image synchronization patterns *F1* to *F4*. Image synchronization patterns *F1*, *F2*, *F3* and *F4* can therefore be recognized simultaneously at a specified instant at nodes *S1*, *S2*, *S3* and *S4* by image synchronization recognition circuit 14, thus indicating that the received data have been received in exact synchronization.

Fig. 2 shows a block diagram of the structure of an adjustable shift register. Referring now to Fig. 2, reference symbol 101 denotes a decoder for specifying a register corresponding to the delay value by inputting a selection signal with  $k$  bits, which corresponds to bit-duration adjustment circuit 15 in Fig. 1A. Reference symbols *MUX2* to *MUXi* (where  $i \leq 2^k + 1$ ) denote multiplexers, which allow through passage of the output of a register *R1* when they are selected by decoder 101 and which allow through passage of an output of a left-side register when they are not selected. Reference symbols *R2* ... *Ri* denote registers which interlock the output of the aforesaid multiplexers *MUX2* to *MUXi* and output the same to the right-side multiplexer. Reference symbol  $\Phi$  denotes a clock signal. Reference symbols *DI* and *DO* denote input and output data respectively.

The adjustable shift register has the structure described hereinabove. Decoder 101 receives a selection signal and specifies one multiplexer of  $2^k$  multiplexers. When the  $i$ -th multiplexer *MUXi* is specified, only multiplexer *MUXi* allows through passage of the output of register *R1*, whereas the other multiplexers allow through passage of the output of the corresponding left-side register. Consequently register *Ri* interlocks the output of register *R1* in synchronization with clock signal  $\Phi$ , and the other registers interlock the outputs of the left-side registers. When the next clock signal  $\Phi$  arrives, register *Ri* - 1 interlocks the data of register *Ri* and register *Ri* interlocks the next data output by register *R1*. By repetition of the mode of operation described hereinabove, the data *DI* are allowed through passage by register *R1* and register *Ri* to register *R2* in such a way that a delay such as  $(i + 1)$  clock pulses is set and thus these data are output as the corresponding output data *DO*.



Since the shift register has a structure of the type described hereinabove, problems arose from the fact that the number of delay steps is limited in the range specified by the number of registers provided. Furthermore, since the register is used as a storage element, further problems arose from the fact that much space must be occupied, the storage capacity is small and the power consumption increases. Additional problems arose from the fact that the circuit structure for adjustment of a delay value became complex when a large number of delay stages is needed.

The object of the invention is therefore to provide a circuit in which the limitation on the necessary delay time is relaxed, a larger storage capacity is achieved and the power consumption is lowered.

This object is achieved by an inventive variable-delay circuit for delaying input data, which circuit has the following features: A storage-cell specifying device, which is connected to a storage device with a storage-cell array for storing input data and is connected to a device for generating delayed data corresponding to a clock signal for applying a signal which specifies a storage cell as a function of the delay data to the storage device; a data-input device which is connected to a device for receiving the input data from external sources, is connected to the storage device, and responds to a clock signal generated by a control device in response to a clock signal to write the input data into a storage cell contained in the storage device and specified by the storage-cell specifying device; and a data-output device, which is connected to the storage device, responds to the control signal to read the input data written into a storage cell specified by the storage-cell specifying device and to output the same, the storage device being suitable for controlling a time sequence in such a way that the write operation by the data-input device is performed after the read operation by the data-output device with the specified storage cell.

According to the invention, the storage-cell specifying device applies to the storage device a signal for specifying a storage cell, with which the data-output device and the data-input device perform a read operation and a write operation as a function of delay data generated by a delay-data generating device. The storage device responds to the signal to specify a storage cell for performing a read and output operation with old, already written data and to perform a write operation with new input data from the input-data receiving device by a device of the data-output device and of the data-input device. By repetition of the operation described hereinabove, delayed input data are output.

Since according to the invention the storage device is provided with the storage-cell array, the advantage is achieved that a greater storage capacity can be maintained in a smaller occupied area. Further obvious advantages are that the limits on delay-time duration are expanded and the power consumption is lowered.

In a preferred inventive practical example, the storage-cell specifying device has the following features: A coincidence-detector circuit which [is connected] to the device for

generating the delay data and to an address-counting device responding to the clock signal to count the addresses and to output an address signal and which responds to the clock signal compares the delayed data with the address signal and applies a reset signal in order to reset the address-counting device to a predetermined value in the address-counting device; and a decoding device which is connected to the address-counting device and responds to the clock signal to decode the address signal and to apply to the storage device a signal which specifies a storage cell.

In the preferred inventive practical example, the address-counting device responds to the clock signal to count sequentially the addresses and to apply the address signal to the coincidence detector device and to the decoding device. The coincidence detector device responds to the clock signal to compare with the address signal the delay data applied by the device for generating the delay data, and applies the reset signal to the address-counting devices when they coincide with one another. The address-counting device responds to the reset signal to repeat the operations described hereinabove after the address counter has been reset to the predetermined value. The address signal applied to the decoding device is decoded by the decoding device and applied to the storage device as a signal for the decoded address signal to specify a storage cell.

In the preferred inventive practical example, it is an obvious advantage that, by means of the address-counting device, the decoding device and the coincidence detector device, a storage-cell specifying device of simple structure is easily obtained, without the particular need for an external controller.

Further features and advantages of the invention will become evident from the description of a practical example with reference to the figures, wherein:

Fig. 1A shows a block diagram of a circuit used in a communications system for recognition of image synchronization with an adjustable shift register;

Fig. 1B shows a diagram of a schematic structure of the received data for describing the principle of operation of the circuit shown in Fig. 1A;

Fig. 2 shows a block diagram of the structure of the circuit of an adjustable shift register;

Fig. 3 shows a block diagram of an inventive circuit structure of the variable-delay circuit;

Fig. 4 shows a block diagram of an inventive practical example of the coincidence detector circuit;

Fig. 5 shows a block diagram of a further inventive practical example of the coincidence detector circuit.

Referring now to the figures an inventive practical example will be described hereinafter. In Fig. 3, reference symbol 1 denotes a storage-cell array with  $n$  bits  $\times$   $R$  rows. Reference symbol 2 denotes a row address counter which is driven by an external clock signal  $\phi$  and which can be

reset). Reference symbol 8 denotes a delay-data generating circuit for generating delayed binary data  $DA1$  to  $DAm$  with  $m$  bits for specifying a delay time. Reference symbol 3 denotes a coincidence detector circuit for recognizing coincidence of the delayed binary data  $DA1$  to  $DAm$  input by delay-data-generating circuit 8 and for outputting signals  $A1$  to  $Am$  by address counter 2. Reference symbol 4 denotes a decoder for selecting a row of storage-cell array 1. Reference symbol 5 denotes a data-input circuit for receiving the data  $D1i$  to  $DIn$  and for applying the same to storage-cell array 1 in response to the control signal. Reference symbol 6 denotes a data-output circuit for receiving the data from storage-cell array 1 and for outputting the same in response to the control signal. Reference symbol 7 denotes a control circuit for generating a control signal to control a read or write operation of storage-cell array 1 by data-input circuit 5 and data-output circuit 6 in response to clock signal  $\Phi$ .

Fig. 4 shows an inventive coincidence detector circuit. In Fig. 4, reference symbol 21 denotes an interlocking switching circuit for interlocking a delayed binary information  $DAi$  (where  $1 \leq i \leq m$ ) and the output  $Ai$  of address counter 2 by clock signal  $\Phi$ . Reference symbols  $XOR1$  to  $XORm$  denote exclusive OR circuits, into which the delayed data  $DAi$  held in interlock circuit 21 and the output  $Ai$  of address counter 2 are input. Reference symbol  $NOR$  denotes a NOT OR circuit for receiving the output of circuits  $XOR1$  to  $XORm$  as input, and it has  $m$  inputs. Reference symbol  $RS$  denotes an output of the NOT OR circuit and a reset signal for resetting address counter 2.

There will now be described the operation which takes place in an adjustable shift register as described hereinabove when the value of address counter 2 is reset to "0" and a delay of  $l$  stages is fixed by delay-data-generating circuit 8 via delayed binary data  $DA1$ . Referring now to Fig. 3, data-output circuit 6 reads the contents of a row of storage-cell array 1 which corresponds to the "0" address in agreement with a command of control circuit 7, and transmits the same to output  $DO1$  to  $DOn$ . Data-input circuit 5 then overwrites the data  $D1i$  to  $DIn$  on the same line by a bit-parallel process. Address counter 2 counts incrementally with the trailing edge of clock signal  $\Phi$ , and decoder 4 receives output signals  $A1$  to  $Am$  of address counter 2 with the leading edge of clock signal  $\Phi$ , executes decoding and specifies a particular counted row. In agreement with control circuit 7, data-output circuit 6 and data-input circuit 5 perform a read operation and a write operation sequentially from and to the row of storage array 1 specified by decoder 4 from the value of address counter 2. With the leading edge of the  $(l-1)$ -th clock pulse, decoder 4 interlocks the value of address counter 2 corresponding to  $(l-1)$ , and data-output circuit 6 and data-input circuit 5 perform a data read and write operation from and to the  $(l-1)$ -th row. With the trailing edge of the  $(l-1)$ -th clock signal  $\Phi$ , address counter 2 counts incrementally. When the output value of address counter 2 reaches a value corresponding to  $l$ , the delayed binary data  $DA1$  to  $DAm$  coincide with the output signals  $A1$  to  $Am$  of address counter 2 in coincidence detector circuit 3. Thus reset signal  $RS$  is generated by coincidence

detector circuit 3 and applied to address counter 2, and address counter 2 is then reset. As an example, when the coincidence detector circuit in Fig. 4 is used, all  $m$  output signals of circuits  $XOR1$  to  $XORm$  are set to "low", from which it follows that, with reception of these signals, the NOT OR circuit outputs reset signal  $RS$  with high level and address counter 2 is reset to the "0" address.

With the leading edge of the  $l$ -th clock signal  $\Phi$ , the "0" address in decoder 4 is interlocked and data-output circuit 6 and data-input circuit 5 read the data initially written into the "0" address, output the same to  $DO1$  to  $DOm$  and then overwrite the next input data at the "0" address.

By repetition of the operation described hereinabove there can be constructed a delay shift register with  $(l = 2^n)$  stages, where  $l$  is a programmable value that can be adjusted externally by the user. By application of the delayed binary data  $DA1$  to  $DAm$  to the circuit, there can be constructed a shift register of any length ( $\leq 2^n$ ) that the user desires.

The storage-cell array can perform the read and write operation asynchronously in a storage cell of the FIRST-IN-FIRST-OUT type.

The operation can also be performed in a storage cell with a shared read and write bit circuit (such as a static storage cell, a dynamic cell with a transistor and a capacitive cell). In such a case data-output circuit 6 and data-input circuit 5 both have access to the shared bit circuit.

Although coincidence detector circuit is shown in a form in which it comprises an exclusive OR element and a NOT OR element, the same operation can be executed, in the practical example according to Fig. 4, if the exclusive OR element and the NOT OR element were to be replaced respectively by an exclusive NOT OR element and an AND element.

Although the storage-cell array in the foregoing practical example is shown in a form in which it comprises  $n$  bits  $\times R$  rows, it can also be constructed in a form in which it comprises  $n$  bits  $\times R$  rows  $\times J$  columns. In this case decoder 4 is provided with a plurality ( $R$ ) of row-decoding devices and a plurality ( $J$ ) of column-decoding devices, whereby a larger quantity of data units can be used.

The foregoing practical example is constructed such that the address counter can be reset after coincidence between the delayed binary data adjusted by the user and the output values of the address counter has been recognized by coincidence detector circuit 3. In this structure the output of the address counter is frequently late in being reset to "0", because a delay was generated before coincidence was recognized, thus leading to output of a reset signal. To prevent this situation and to achieve high speed, coincidence circuit 3 can be used in combination with an adder and an interlock circuit.

In Fig. 5 there is shown a block diagram of a coincidence detector circuit for linking [sic: preventing?] delayed generation of the reset signal. In Fig. 5, reference symbol 41 denotes an  $m$ -

bit adder for subtracting 1 from the delayed binary data  $DA1$  to  $DAm$ . Reference symbol 3 denotes the same coincidence detector circuit as in the foregoing practical example. Reference symbol 42 denotes an interlock circuit for holding a coincidence signal  $ES$  output by coincidence detector circuit 3 for one clock pulse when coincidence is recognized, then outputting it as a reset signal  $RS$ . Reference symbol 43 denotes a coincidence detector circuit for preventing a delay in generation of the reset signal. In the coincidence detector circuit for preventing a delay of generation of the result signal, the coincidence detector signal outputs coincidence signal  $ES$  when a delay of  $l$  stages has been set by the binary data  $DA1$  and the output  $A1$  to  $Am$  of the address counter has reached the address corresponding to  $(l - 1)$ . Coincidence signal  $ES$  is interlocked in the interlock circuit, outputs reset signal  $RS$  immediately after receiving the signal  $\Phi$ , and then resets the contents of address counter 2 to "0". By the use of this circuit, reset signal  $RS$  for resetting address counter 2 is immediately output, with the result that a reset operation of address counter 2 can be prevented from being late.

As described hereinabove, an inventive variable-delay circuit is provided with a storage device unit with a storage-cell array and an address-counting device, a decoding device and a simple coincidence detector device. The circuit therefore has advantageous features, in that a larger storage capacity is achieved in a smaller occupied area, the limitation on the duration of a delay time due to restricted storage capacity is relaxed, and the power consumption is lowered.

# Key to figures

## Fig. 1A

11, 12, 13

14

15

Bitdauersignal

Empfangene Daten

Adjustable shift register

Image-synchronization recognition circuit

Bit-duration adjustment circuit

Bit-duration signal

Received data

## Fig. 1B

Empfangene Daten

Received data

## Fig. 2

Auswahlsignal

Ausgangsdaten

Eingangsdaten

Selection signal

Output data

Input data

## Fig. 3

1

2

3

4

5

6

7

8

Taktsignal

Eingangsdaten

Ausgangsdaten

Steuersignal

Storage-cell array

Address counter

Coincidence detector circuit

Decoder

Data-input circuit

Data-output circuit

Control circuit

Delay-data generating circuit

Clock signal

Input data

Output data

Control signal

## Fig. 4

Verriegelungsschaltkreis

Interlocking switching circuit

## Fig. 5

3

41

Taktsignal

Coincidence detector circuit

Adder

Clock signal

Translation:  
German Patent DE 3742487 A1

Page 10 of 10

SS0022002067

**Accent on Languages**  
TECHNICAL & BUSINESS TRANSLATORS AND INTERPRETERS  
<http://www.accentonlanguages.com>

Francine Kulpers  
Principal  
francinek@aol.com

Gary Gerard  
Principal  
ggerard@gerardtech.com

I, the undersigned, hereby certify:

The translation from  
German into English

of German Patent (Offenlegungsschrift) DE 3742487 A1 was prepared by a professional translator familiar with the subject technology who is fluent in this pair of languages, and proofread by a similarly skilled translator conversant in both of these languages; and that the said translation is an accurate, true and complete rendition into English from its original German-language text, and that nothing has been added thereto or omitted therefrom, to the best of our knowledge and belief.

For Accent on Languages

Gary Gerard 10/13/00  
Gary Gerard, Principal Date



1702 Solano Avenue • Berkeley, California 94707-2215  
phone: 510.525.0625 • fax: 510.525.7811  
Berkeley • Paris

SS0022002068

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**